

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaru NUMANO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: OPTICAL SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-023124	January 31, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月31日

出 願 番 号

Application Number:

特願2003-023124

[ ST.10/C ]:

[ JP 2003-023124 ]

出 願 人

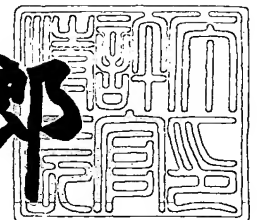
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019040

【書類名】 特許願

【整理番号】 PTS0241

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/866  
H01L 31/00

【発明の名称】 光半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 沼野 優

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100088487

【弁理士】

【氏名又は名称】 松山 允之

【選任した代理人】

【識別番号】 100108062

【弁理士】

【氏名又は名称】 日向寺 雅彦

【手数料の表示】

【予納台帳番号】 087469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体装置

【特許請求の範囲】

【請求項 1】

光半導体素子と、

複数のツェナーダイオードを直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子と、を有し、前記光半導体素子に接続された光半導体用回路と、

を備えたことを特徴とする光半導体装置。

【請求項 2】

前記光発明用回路は、記整流素子のカソードよりも前記直列整流回路のカソード端に高い電圧を印加する電圧印加手段をさらに有することを特徴とする請求項 1 記載の光半導体装置。

【請求項 3】

前記ツェナーダイオードは、光の照射により電流を生ずる寄生素子を有することを特徴とする請求項 1 または 2 に記載の光半導体装置。

【請求項 4】

前記整流素子の耐圧は、前記整流素子のカソードに印加される電圧よりも高いことを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の光半導体装置。

【請求項 5】

前記整流素子は、エミッタとベースとが短絡された N P N トランジスタであることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の光半導体装置。

【請求項 6】

前記整流素子は、コレクタとベースとが短絡された P N P トランジスタであることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の光半導体装置。

【請求項 7】

前記整流素子は、コレクタとベースとが短絡された N P N トランジスタであることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の光半導体装置。

【請求項 8】

一定値を超える電圧が印加されると前記ツェナーダイオードがブレイクダウンすることにより前記光半導体素子を保護することを特徴とする請求項 1 ～ 7 のいずれか 1 つに記載の光半導体装置。

【請求項 9】

一定値を超える電圧が印加されると前記ツェナーダイオードがブレイクダウンすることにより前記光半導体素子に印加する電圧を調節することを特徴とする請求項 1 ～ 7 のいずれか 1 つに記載の光半導体装置。

【請求項 1 0】

前記光半導体素子と前記光半導体用回路とは同一の半導体基板上に設けられることを特徴とする請求項 1 ～ 9 のいずれか 1 つに記載の光半導体装置。

【請求項 1 1】

前記光半導体素子と前記光半導体用回路とは、同一のパッケージ内に収容されてなることを特徴とする請求項 1 ～ 1 0 のいずれか 1 つに記載の光半導体装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、光半導体装置に関し、より具体的には、光があたる環境下で用いられる光半導体用回路を搭載した光半導体装置に関する。

【 0 0 0 2】

【従来の技術】

光センサ、フォトカプラ (photocoupler)、フォトインタラプタ (photo-interrupter) あるいは光リンク用デバイスなどの各種の光半導体装置においては、受光素子や発光素子などの光半導体素子が内蔵されている。そして、これら光半導体素子に接続された光半導体用回路も内蔵されている場合が多い。これら光半導体用回路は、光半導体素子をドライブするための電圧や電流を供給したり、または、これら光半導体素子から発光され、または光半導体素子で受光された信号の処理を行う役割を有する。

【 0 0 0 3】

このような光半導体用回路においては、複数の整流素子を直列接続した回路が

設けられる場合がある。

【 0 0 0 4 】

図 1 6 は、このような回路を例示する模式図である。すなわち、同図は、 $n$  個のツェナーダイオード 1 を直列接続した回路を表す。ツェナーダイオード 1 は P N ジャンクションのブレイクダウン現象を利用した能動素子である。ツェナーダイオードのブレイクダウン電圧  $V_Z$  は、シリコン (S i) では通常は 5 ボルト前後である。そこで、図 1 6 に表したようなツェナーダイオード 1 の直列接続回路は、受光素子や発光素子などの光半導体素子を E S D (Electro-Static Discharge) による破壊から保護するための保護回路に用いることができる。また、これら光半導体素子をドライブするための電源におけるシ리즈レギュレータの基準電源や、M O S トランジスタのゲート保護等のクランプのために用いることができる。

【 0 0 0 5 】

ツェナーダイオード 1 の  $V_Z$  は 1 個で 5 ボルトなので、3 0 ボルトや 4 0 ボルトなどの高電圧を簡単に得ることもでき、クランプすることもできる。従って、I C のチップサイズに制限がある場合などにも便利である。例えば、3 0 ボルトをクランプする場合は、6 個のツェナーダイオード 1 を直列に接続すれば良い。

【 0 0 0 6 】

図 1 6 に例示した回路の場合、 $n$  個のツェナーダイオード 1 を直列に接続し、その両端の端子 P K と端子 P A との間に電源 E 1 を接続する。この電源は仮想的なもので、 $n$  個のツェナーダイオード 1 の直列回路の端子の電位を決めるためのものであり、外部電源というわけでは必ずしもない。

【 0 0 0 7 】

後に詳述するように、ツェナーダイオード 1 は、例えば p 型シリコン基板の上に作られ、p 型シリコン基板は端子 P S を介して接地されている。そして、端子 P A と端子 P S との間に電源 E 2 が接続される。従って、端子 P K の電位がこの回路において最高となる。

【 0 0 0 8 】

この回路においては、電源 E 1 と E 2 との関係は常に次式により表される。

$$E_1 \geq E_2$$

電源  $E_1$  が変動しても、電源  $E_1$  と  $E_2$  とが  $(n \times V_z)$  以上の電位差を持たないとツェナーダイオード 1 に電流は流れない。電源  $E_1$  と  $E_2$  との間に、それ以上の電位差が生ずるとツェナーダイオード 1 に電流が流れ、端子  $P_K$  と端子  $P_A$  との間の電圧は  $(n \times V_z)$  ボルトにクランプされる。

【0009】

図 17 は、このような  $n$  個のツェナーダイオード 1 を使用した直列クランプ回路の具体例を表す模式図である。

【0010】

ここでは、IC 出力端子  $V_o$  と定電圧端子  $V_{dd}$  端子との間に ESD (Electro-Static Discharge) クランプ回路 6 が挿入されている。このクランプ回路は、 $V_{dd}$  以上の電位で動作する。このために、 $n$  個のツェナーダイオード 1 を直列接続し、 $V_{dd}$  端子と  $V_o$  端子との間の電位差が  $(n \times V_z)$  以上になるとクランプ回路が動作するようにしている。この回路の場合、 $V_{dd}$  端子が図 16 における端子  $P_K$  に対応し、NPN トランジスタ 20 のベースが図 16 の端子  $P_A$  に対応する。

【0011】

なお、特許文献 1 には、誘導負荷の回生制御系に設けられたツェナーダイオードを用いたサージ吸収回路が開示されている。このサージ吸収回路においては、サージ吸収素子としてのツェナーダイオードに対して逆流防止用のダイオードが直列に接続されている。しかし、この逆流防止用ダイオードは、FET がオンの状態において電源から FET に電流が流れることを阻止するためのものであると考えられる。

【0012】

また、特許文献 2 には、やはり回生電圧制御に関する回路が開示され、モータを負荷とするスイッチング素子のドレイン・ゲート間にツェナーダイオードと逆方向ダイオードとの帰還回路が挿入されている。この逆方向ダイオードは、スイ



ツチング素子の通常動作時に帰還回路がオンするのを防ぐ役割を有する。

【 0 0 1 3 】

【特許文献 1】

特開平 1 0 - 1 3 6 5 6 4 号公報

【特許文献 2】

米国特許第 4 6 5 8 2 0 3 号明細書

【 0 0 1 4 】

【発明が解決しようとする課題】

しかし、本発明者の独自の検討の結果、図 1 6 や図 1 7 に例示したような回路を光半導体用回路に設けると、回路の誤動作や消費電力の増大が生ずる場合があることが判明した。このような現象は、光半導体用回路に特有の問題であり、さらに詳細な検討の結果、光が照射されることに関連して生ずる現象であることが判明した。

【 0 0 1 5 】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路を搭載した光半導体装置を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の光半導体装置は、

光半導体素子と、

複数のツェナーダイオードを直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子と、を有し、前記光半導体素子に接続された光半導体用回路と、

を備えたことを特徴とする。

【 0 0 1 7 】

上記構成によれば、光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路を搭載した光半導体装置を提供することができる。

【 0 0 1 8 】

ここで、前記光発明用回路は、記整流素子のカソードよりも前記直列整流回路のカソード端に高い電圧を印加する電圧印加手段をさらに有するものとすることができる。

【 0 0 1 9 】

また、前記ツェナーダイオードは、光の照射により電流を生ずる寄生素子を有するものである場合に、このようなリーク電流を前記整流素子により遮断できる点で格別の効果が得られる。

【 0 0 2 0 】

また、前記整流素子の耐圧は、前記整流素子のカソードに印加される電圧よりも高いものとするのが望ましい。

【 0 0 2 1 】

また、前記整流素子は、エミッタとベースとが短絡されたNPNトランジスタであるものとするのができ、ツェナーダイオードと共通のプロセスで形成できる点で便利である。

【 0 0 2 2 】

または、前記整流素子は、コレクタとベースとが短絡されたPNPトランジスタであるものとするのもでき、この場合も、ツェナーダイオードと共通のプロセスで形成できる点で便利である。

【 0 0 2 3 】

または、前記整流素子は、コレクタとベースとが短絡されたNPNトランジスタであるものとするのもでき、この場合も、ツェナーダイオードと共通のプロセスで形成できる点で便利である。

【 0 0 2 4 】

一方、一定値を超える電圧が印加されると前記ツェナーダイオードがブレイクダウンすることにより前記光半導体素子を保護するものとするれば、いわゆるESDやその他の過電圧に対する保護回路として作用し、しかもリーク電流などを解消した光半導体装置を実現できる。

【 0 0 2 5 】

また、一定値を超える電圧が印加されると前記ツェナーダイオードがブレイク

ダウンすることにより前記光半導体素子に印加する電圧を調節するものとするれば、いわゆる電圧クランプ回路として動作させることができ、リーク電流などを解消した高性能の光半導体装置を実現できる。

## 【 0 0 2 6 】

また、前記光半導体素子と前記光半導体用回路とは同一の半導体基板上に設けられてなるものとするれば、いわゆる受光 IC や発光 IC などをリーク電流などを解消しつつ実現できる。

## 【 0 0 2 7 】

また、前記光半導体素子と前記光半導体用回路とは、同一のパッケージ内に收容されてなるものとするれば、高性能でリーク電流なども解消した光半導体装置を実現できる。

## 【 0 0 2 8 】

## 【発明の実施の形態】

本発明者は、独自の検討の結果、上述の問題は、ツェナーダイオード 1 に付随する寄生ダイオードに光が照射されることによることを知得した。以下、まずこのメカニズムについて説明する。

## 【 0 0 2 9 】

図 1 8 ( a ) は、ツェナーダイオード 1 の断面構造を表す模式図であり、同図 ( b ) は、その等価回路図である。すなわち、 p 型シリコン基板 2 2 の上に、 p 型分離層 9 により分離された n 型アイランド 7 が形成されている。この n 型アイランド 7 の表面に p 型拡散層 8 をプレーナ状に形成することにより、ツェナーダイオード 1 が形成されている。 n 型アイランド 7 がカソード K で、 p 型拡散層 8 がアノード A となる。

## 【 0 0 3 0 】

このような構造の場合、 p 型拡散層 8 と n 型アイランド 7 と p 型分離層 9 とにより、縦方向に寄生 PNP 接合 1 0 が形成される。また、 n 型アイランド 7 と p 型分離層 9 とにより寄生フォトダイオード（以下 PD） 1 1 が形成される。 p 型基板 2 2 は、接地電位（ GND ）に接続されて用いられるので、縦型寄生 PNP トランジスタ 1 0 のコレクタと、寄生 PD 1 1 のアノードが接地される。ここに

仮想的な端子 P S 7 が接続される。

【 0 0 3 1 】

図 1 9 は、図 1 6 に表した回路に寄生素子を追加した模式図である。

【 0 0 3 2 】

ここで、光半導体用回路は、受光素子や発光素子の近傍に設けられることが多く、比較的、高い強度の光に晒されやすいという特殊事情がある。そして、寄生 P N P トランジスタ 1 0 と寄生ダイオード 1 1 の存在により、ツェナーダイオード 1 がブレークダウン動作しないときに、光 L 1 によりシリコン基板 2 2 に流れるリーク電流が発生する。そのメカニズムは以下のとおりである。

【 0 0 3 3 】

まず、リーク電流が発生する条件であるが、端子 P A と端子 P K が同電位、またはそれらの電位差が稀少の時である。つまり、電源 E 1 と E 2 がほとんど差がない場合に顕著となる。

【 0 0 3 4 】

ここで、寄生 P N P トランジスタ 1 0 同士はダーリントン接続をしている。光 L 1 が入射した時、それぞれの寄生 V P N P 1 0 のベースから寄生 P D 1 1 を介して電流  $I_p$  が引き抜かれる。寄生 P N P トランジスタ 1 0 はダーリントン接続されているので、電流  $I_p$  はそれぞれ  $h_{FE}$  倍に増幅される。従って、電流  $I_p$  はそれぞれの寄生 P N P トランジスタによって累積的に増幅される。この合計の電流  $I_A$  は、電源 E 2 から端子 P A を介して p 型基板 2 2 へ流れ、端子 P S に至る。

【 0 0 3 5 】

また、図 1 9 において一番右側の寄生 P N P トランジスタは、 $E_1 > E_2$  であるために逆バイアス状態でありオフ (O F F) 状態となる。従って、電源 E 1 の影響は、これら寄生 P N P トランジスタのダーリントン接続回路から遮断される。

【 0 0 3 6 】

結局、 $(n - 1)$  個の寄生 P N P トランジスタ 1 0 が動作しているので、端子 P A から p 型基板 2 2 に流れ込む電流  $I_A$  は以下の式により表される。

【数 1】

$$I_A = \left( \sum_{k=1}^{n-1} hFE^k \right) I_p$$

この電流はすべて電源 E 2 から端子 P A を通じてそれぞれの寄生 P N P トランジスタ 1 0 に流れ、p 型基板 2 2 に抜けて、端子 P S まで到達する。一方、端子 P K へ流れる電流はない。

【0 0 3 7】

一方、端子 P A の電位が端子 P K の電位より十分低いときは全てのツェナーダイオード 1 がオン（ON）となり、リーク電流は発生しない。

【0 0 3 8】

以上説明したように、ツェナーダイオードに付随する寄生 P D 1 1 に光 L 1 が照射されると電流が生じ、これが寄生トランジスタ 1 0 により増幅されて大きなリーク電流が発生する。このようなリーク電流があることにより、I C 全体として消費電流が増大してしまう。また特性の低下や、誤動作が生ずることもあり得る。また、これら問題の程度は光量に左右されるので、光を出力しまたは入力する光半導体用回路として使用する場合、光量により回路の安定性が左右され、使いづらいという問題が生ずる。

【0 0 3 9】

このような問題は、光が照射される環境下において、ツェナーダイオードなどの複数の整流素子を直列に接続する回路を用いる場合に顕著となる特有の現象である。すなわち、複数の整流素子が直列に接続されているため、それぞれに付随する寄生トランジスタがダーリントン接続され、光によるリーク電流が累積的に増幅される。その結果として、大きなリーク電流が流れてしまう。

【0 0 4 0】

本発明者は、ツェナーダイオード 1 の部分に光が直接的に当たらないように、厚みが 1 マイクロメータ程度のアルミニウム層などを被覆してみた。しかし、リーク電流は低減したものの、解消することは困難であった。これは、アルミニウ

ムなどの被覆層を透過したり、または周囲から回り込んだ光によりリーク電流が発生するためであると考えられる。図 1 6 乃至図 1 9 に例示したような光半導体用回路は、光源の近くなど、光強度が高い環境下で用いられることも多いため、遮光層によってリーク電流を完全に解消することは困難な場合が多いと考えられる。

【 0 0 4 1 】

本発明者は、以上詳述した知見に基づき、本発明をなすに至った。

【 0 0 4 2 】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【 0 0 4 3 】

図 1 は、本発明の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。すなわち、この回路は図 1 6 に表したものと同様に複数のツェナーダイオード 1 を直列に接続した回路である。

【 0 0 4 4 】

また、図 2 は、図 1 の回路について、ツェナーダイオード 1 に付随する寄生トランジスタ及び寄生ダイオードも表した模式図である。

【 0 0 4 5 】

これらの図面に表したように、本実施形態においては、ツェナーダイオード 1 の直列回路のアノード端子側にダイオード 1 2 を挿入する。つまり、ダイオード 1 2 は、電源 E 2 からツェナーダイオード 1 に流入するリーク電流の経路に沿った見たとき、ツェナーダイオード 1 の上流側に挿入されている。

【 0 0 4 6 】

また、ダイオード 1 2 は、そのカソード 3 0 が P A 端子側に向けて挿入されている。つまり、ツェナーダイオード 1 がブレイクダウンしてオン状態となる時に流れる電流の方向に対して、ダイオード 1 2 は順方向となる。

【 0 0 4 7 】

このようなダイオード 1 2 を設けることにより、ツェナーダイオードの直列回路に光 L 1 が照射された場合でも、アノード端子に流れ込むリーク電流を遮断することができる。この場合、ダイオード 1 2 は、ツェナーダイオード 1 の上流側

に設けられているので、ツェナーダイオード 1 に流入するリーク電流を確実に遮断することができる。

## 【 0 0 4 8 】

なお、本実施形態においては、ダイオード 1 2 の耐圧は電源 E 2 の電圧以上であることが望ましい。もしダイオード 1 2 の耐圧が電源 E 2 の電圧よりも低い電圧 E 3 であるとする、 $(E 2 - E 3)$  が n 個のツェナーダイオードの直列回路に印加されることになり、結局はオフ (Off) 状態の寄生 P N P トランジスタが 1 つから 2 つ、3 つと増えるだけでリーク電流はゼロにはならない。

## 【 0 0 4 9 】

本実施形態の回路においては、ツェナーダイオードの数を n、ツェナーダイオード 1 のブレークダウン電圧を  $V_z$ 、寄生トランジスタのベース・エミッタ間電圧を  $V_{BE}$  とすると、次式の条件においてツェナーダイオード 1 がブレークダウンして逆方向電流が流れる。

$$(E 1 - E 2) > (n V_z + V_{BE})$$

この時に流れる電流方向は挿入したダイオード 1 2 の順方向なので、ツェナーダイオード 1 の n 段直列回路のクランプの機能は阻害されない。

## 【 0 0 5 0 】

以下、本発明の他の実施形態について説明する。なお、これらに関して例示する図面については、前出した図面に表したものと同様の要素については、同一の符号を付して詳細な説明は省略する。

## 【 0 0 5 1 】

図 3 は、本発明の第 2 の実施形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

## 【 0 0 5 2 】

本実施形態においては、リーク電流の遮断のために、C B (コレクタ・ベース) ショートの N P N トランジスタ 1 3 が挿入されている。トランジスタのコレクタとベースとをショートすることにより、ダイオードと同等の作用を有する。C

Bショートダイオード13は、動作時にリークがなく、寄生直列抵抗も低いため、良い特性を有する。このようなNPNトランジスタは、ツェナーダイオード1と共通のプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

## 【0053】

図4は、本発明の第3の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

## 【0054】

本実施形態においては、リーク電流の遮断のために、EB（エミッタ・ベース）ショート縦型NPNトランジスタ24が挿入されている。トランジスタのEBショートにより得られるダイオードの場合、高い耐圧が得られる点で有利である。また、このNPNトランジスタも、ツェナーダイオード1と共通のプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

## 【0055】

なお、本実施形態においては、トランジスタ24において微少のリーク電流が発生する場合があるが問題とはならない。

## 【0056】

図5（a）は、EBショート縦型NPNトランジスタの断面を表す模式図であり、同図（b）はその等価回路を表す模式図である。

## 【0057】

図18（a）に例示したようなツェナーダイオード1と同様のp型シリコン基板22の上に通常の縦型NPNトランジスタを形成する場合、p型分離層9により素子分離されたn型アイランド7の表面にプレーナ状にp型領域20を形成し、さらにその表面にプレーナ状にn型領域22を形成する。n型領域22がエミッタE、p型領域がベースB、n型アイランド7がコレクタCとして作用する。

## 【0058】

そして、この構造においては、縦方向に見たときに寄生PNPトランジスタ30が形成される。この寄生トランジスタ30は、NPNトランジスタ24のダイオード動作時に、オンして電流が微量リークする。しかし、このリーク電流はツ



ツェナーダイオード 1 のクランプ動作時に発生するものであるので、通常は問題にならない。また、EB ショートの NPN トランジスタ 2 4 には、寄生 PD 3 1 も付随するが、この PD からのリーク電流  $I_p$  は寄生トランジスタにより増幅されず、リーク  $I_p$  がそのままリーク電流として発生する。もともと、寄生 PD の光リーク電流  $I_p$  は数マイクロアンペア程度であるので、増幅されなければ問題にはならない。

## 【 0 0 5 9 】

図 6 は、本発明の第 4 の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

## 【 0 0 6 0 】

本実施形態においては、ツェナーダイオード 1 のリーク電流を遮断するために、CB (コレクタ・ベース) ショートの横型 PNP トランジスタ 2 5 が挿入されている。一般に、横型 PNP トランジスタのコレクタとベースとをショートして得られるダイオードも、高い耐圧を有する点で有利である。また、このような PNP トランジスタ 2 5 も、ツェナーダイオード 1 と共通のプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

## 【 0 0 6 1 】

なお、本実施形態においても、トランジスタ 2 5 において寄生接合による微少リークが生ずるが問題とはならない。

## 【 0 0 6 2 】

図 7 (a) は、横型 PNP トランジスタ 2 5 の断面構造を表す模式図であり、同図 (b) はその等価回路図である。

## 【 0 0 6 3 】

図 1 8 (a) に例示したようなツェナーダイオード 1 と同様の p 型シリコン基板 2 2 の上に通常の横型 PNP トランジスタ 2 5 を形成する場合、p 型分離層 9 により素子分離された n 型アイランド 7 の表面にプレーナ状に p 型コレクタ領域 4 0 と p 型エミッタ領域 4 1 を形成する。この場合、n 型アイランド 7 が n 型ベース領域として作用する。

## 【 0 0 6 4 】

この構造の場合、縦方向にやはり寄生PNPトランジスタ50ができ、これがトランジスタ25のダイオード動作の時にオンして微量の電流がリークする。しかし、図7(a)に表したように、このリーク電流37は、p型コレクタ領域40に吸収されやすく、シリコン基板22に流出する電流リーク量は、第3実施形態におけるEBショートNPNトランジスタ24よりも微量である。このように、寄生接合によるリーク電流が非常に少ない点で有利である。

## 【0065】

図8は、本発明の第5の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

## 【0066】

本実施形態においては、ツェナーダイオード1におけるリーク電流を遮断するために、m個のCBショートNPNトランジスタ13が直列に挿入されている。複数のNPNトランジスタ13を直列に挿入することにより、耐圧を上げることができる。すなわち、トランジスタ13の個数mの値は、電源E2の電圧をCBショートNPNトランジスタ13の耐圧により割った数を超えるように設定すれば良い。この場合、クランプ動作の時のクランプ電位が、 $(m \times V_{BE})$  ( $V_{BE}$ はトランジスタ13のベース・エミッタ間電圧) だけずれるので、それに応じてツェナーダイオードの数nを調整することが望ましい。

## 【0067】

以上、本発明の第1乃至第5の実施の形態を参照しつつ本発明において用いる光半導体用回路について説明した。これらの光半導体用回路を発光素子や受光素子と組み合わせることにより、本発明の光半導体装置が得られる。

## 【0068】

図9は、本発明の実施の形態にかかる光半導体装置の要部構成を例示する模式図である。

## 【0069】

まず、同図(a)に表した光半導体装置100は、受光素子120Aを内蔵した光半導体用回路110を有する。すなわち、光半導体用回路110と受光素子120Aとは、同一の半導体基板上にモノリシックに形成されている。具体的に

は、例えば、ひとつのシリコンチップの上に、 $p-n$ 接合を有するフォトダイオード 1 2 0 A と、これに接続された光半導体用回路 1 1 0 と、がモノリシックに形成された「受光 IC」などを挙げることができる。

#### 【0070】

一方、同図 (b) に表した光半導体装置 1 0 0 は、受光素子 1 2 0 B と、これと別体に設けられた光半導体用回路 1 1 0 と、これらを接続する配線 WL と、を有する。つまり、この光半導体装置の場合、受光素子 1 2 0 B のチップと、光半導体用回路 1 1 0 のチップとが別々に形成され、配線 WL により接続されている。但し、この場合でも、光半導体用回路 1 1 0 と受光素子 1 2 0 B とは同一のパッケージ内に収容されている。

#### 【0071】

受光素子 1 2 0 A、1 2 0 B としては、例えば、フォトダイオード、フォトトランジスタ、光導電素子、太陽電池などを用いることができる。このような受光素子 1 2 0 A (または 1 2 0 B) を内蔵した光半導体装置 1 0 0 には、光 L 0 が与えられることにより、所定の動作が実行される。このような光半導体装置としては、例えば、光センサや、光リンク用の受信側デバイスを挙げることができる。

#### 【0072】

そして、これら光半導体装置において、光半導体用回路 1 1 0 は、受光素子 1 2 0 A (1 2 0 B) に所定のバイアスを供給したり、受信した信号の増幅や信号処理などを実行する。そして、第 1 乃至第 7 実施形態に関して前述したように、複数の整流素子の直列回路により、受光素子 1 2 0 A (1 2 0 B) を ESD から保護したり、電圧クランプなどの作用を発揮する。

#### 【0073】

これら光半導体用回路 1 1 0 は、受光素子 1 2 0 A (1 2 0 B) の近傍に設けられるため、図 1 0 (a) 及び (b) に表したように、受光素子に向けて入射する光 L 0 の一部 L 1 が、回路 1 1 0 に照射される場合も多い。

#### 【0074】

本発明によれば、第 1 乃至第 5 の実施の形態に関して前述したように、このよ

うな光 L 1 が照射しても、リーク電流の増大や誤動作などを防ぐことができる。  
すなわち、消費電力の増加を抑制し、動作も安定した光半導体装置を実現できる

。

#### 【 0 0 7 5 】

また、図 1 1 は、本発明の他の実施の形態にかかる光半導体装置を表す模式図である。

#### 【 0 0 7 6 】

同図 ( a ) に表した光半導体装置 2 0 0 は、発光素子 1 3 0 A を内蔵した光半導体用回路 2 1 0 を有する。すなわち、光半導体用回路 2 1 0 と発光素子 1 3 0 A とは、同一の半導体基板上にモノリシックに形成されている。具体的には、例えば、シリコンチップの上に、 p n 接合を有する発光ダイオード 1 3 0 A と、これに接続された光半導体用回路 2 1 0 と、がモノリシックに形成された発光 I C などを挙げるができる。

#### 【 0 0 7 7 】

一方、同図 ( b ) に表した光半導体装置 2 0 0 は、受光素子 1 3 0 B と、これと別体に設けられた光半導体用回路 2 1 0 と、これらを接続する配線 W L と、を有する。

#### 【 0 0 7 8 】

発光素子 1 3 0 A 、 1 3 0 B としては、例えば、発光ダイオード、半導体レーザー、 E L ( e l c t r o l u m i n e s c e n c e ) 素子をはじめとした各種の素子を用いることができる。

そして、これら光半導体装置において、光半導体用回路 2 1 0 は、発光素子 1 3 0 A ( 1 3 0 B ) を駆動するための電流や電圧を供給したり、発光強度を調節したり、所定の光信号を発信するための信号処理を実行したりする。

#### 【 0 0 7 9 】

そして、これら発光素子を内蔵する光半導体装置 2 0 0 においても、図 1 2 ( a ) 及び ( b ) に表したように、発光素子 1 3 0 A ( 1 3 0 B ) から放出された光の一部 L 1 が、光半導体用回路 2 1 0 に照射される場合が多い。

#### 【 0 0 8 0 】

本発明によれば、第1乃至第5の実施の形態に関して前述したように、このような光L1が照射しても、リーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定した光半導体装置を実現できる。

#### 【0081】

図13は、本発明の実施の形態にかかる光半導体装置の具体例を表す断面図である。すなわち、同図は、フォトカプラを表す。本具体例においては、対向する一対のリード端子LT、LTが設けられ、その先端に、それぞれ受光部100と発光部200が設けられている。これら受光部100及び発光部200は、図9乃至図12に例示したように、本発明の実施の形態にかかる光半導体用回路と、受光素子または発光素子を内蔵している。

#### 【0082】

そして、発光部200の周囲は、例えばシリコン樹脂SRによりモールドされ、さらに、その周期が受光部100も含めてエポキシ樹脂ERなどによりモールドされている。

#### 【0083】

このように、受光部100と発光部200とをひとつのパッケージに組込むと、2つの電気回路を光により結合して信号を伝達することができる。光信号を介して信号を伝達するので、電気的な絶縁性が高くや電磁波ノイズなどの影響を受けにくいという利点を得られる。

#### 【0084】

そして、本発明によれば、これら受光部100及び発光部200の少なくともいずれかにおいて第1乃至第5の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定したフォトカプラを実現できる。

#### 【0085】

図14は、本発明の実施の形態にかかる光半導体装置の第2の具体例を表す断面図である。すなわち、同図は、フォトインタラプタを表す。図14(a)に表

した具体例は、いわゆる「透過型」の構造を有し、受光部 1 0 0 と発光部 2 0 0 とが対向して設けられている。そして、発光部 2 0 0 から放出された光 L Y が受光部 1 0 0 により検知される。これらの間に物体（図示せず）が介在すると、光 L Y が遮られるために、検出することができる。

## 【 0 0 8 6 】

一方、図 1 4 （b）に表した具体例は、いわゆる「反射型」の構造を有し、発光部 1 0 0 と発光部 2 0 0 とは、対向せず斜め方向に向いている。そして、関知すべき物体 O B が所定の位置に設けられると、発光部 2 0 0 から放出される光 L Y が物体 O B により反射され受光部 1 0 0 により検知される。

## 【 0 0 8 7 】

本発明によれば、このようなフォトインタラプタにおいても、受光部 1 0 0 及び発光部 2 0 0 の少なくともいずれかに、第 1 乃至第 5 の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定したフォトインタラプタを実現できる。

## 【 0 0 8 8 】

図 1 5 は、本発明の実施の形態にかかる光半導体装置の第 3 の具体例を表す断面図である。すなわち、同図は、光リンクデバイスを表す。図 1 5 （a）に表した具体例は、「一方向型」のデバイスであり、光ファイバ 3 0 0 の一端に発光部 2 0 0、他端に受光部 1 0 0 がそれぞれ設けられている。発光部 2 0 0 から受光部 1 0 0 に向けて光ファイバ 3 0 0 を介して光信号を送信することができる。

## 【 0 0 8 9 】

一方、図 1 5 （b）に表した具体例の場合、光ファイバ 3 0 0 の両端に、受光部 1 0 0 と発光部 2 0 0 とがそれぞれ設けられている。すなわち、このデバイスの場合、双方向の光伝送が可能である。

## 【 0 0 9 0 】

これら受光部 1 0 0 及び発光部 2 0 0 は、図 9 乃至図 1 2 に例示したように、本発明の実施の形態にかかる光半導体用回路と、受光素子または発光素子を内蔵している。

## 【 0 0 9 1 】

そして、本発明によれば、これら受光部 1 0 0 及び発光部 2 0 0 の少なくともいずれかにおいて第 1 乃至第 5 の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定した光リンクデバイスを実現できる。

## 【 0 0 9 2 】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

## 【 0 0 9 3 】

例えば、図 1 乃至図 8 においては、複数のツェナーダイオード 1 を直列に接続した回路を例示したが、本発明はこれに限定されない。すなわち、ツェナーダイオード 1 の代わりに、整流性を有する素子であって、光の照射の伴いリーク電流を発生させる寄生成分を有するものを用いた回路においても、本発明を同様に適用して同様の作用効果が得られる。

## 【 0 0 9 4 】

また、本発明の光半導体装置についても、具体例として例示したものには限定されず、その他、光が照射される環境下で用いられる回路を有するものであれば、本発明を同様に適用して同様の作用効果を得ることができる。

## 【 0 0 9 5 】

その他、上述した光半導体用回路及び光半導体装置の構造、およびこれを構成する各要素の具体的な構成については、当業者が公知の範囲から適宜選択したのも、本発明の要旨を含む限り本発明の範囲に包含される。

## 【 0 0 9 6 】

## 【発明の効果】

以上詳述したように、本発明によれば、光が照射される環境において用いてもリーク電流の増大や誤動作などを解消できる光半導体用回路及びこれを用いた各種の光半導体装置を提供でき、産業上のメリットは多大である。

## 【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図 2】

図 1 の回路について、ツェナーダイオード 1 に付随する寄生トランジスタ及び寄生ダイオードも表した模式図である。

【図 3】

本発明の第 2 の実施形態にかかる光半導体用回路の要部を表す模式図である。

【図 4】

発明の第 3 の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図 5】

(a) は、EB ショートの縦型 NPN トランジスタの断面を表す模式図であり、  
(b) はその等価回路を表す模式図である。

【図 6】

本発明の第 4 の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図 7】

(a) 横型 PNP トランジスタ 25 の断面構造を表す模式図であり、(b) はその等価回路図である。

【図 8】

本発明の第 5 の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図 9】

本発明の実施の形態にかかる光半導体装置の要部構成を例示する模式図である。

【図 10】

受光素子に向けて入射する光 L0 の一部 L1 が、回路 110 に照射されることを表す模式図である。

【図 11】

本発明の他の実施の形態にかかる光半導体装置を表す模式図である。



【図 1 2】

発光素子 1 3 0 A ( 1 3 0 B ) から放出された光の一部 L 1 が、光半導体用回路 2 1 0 に照射されることを表す模式図である。

【図 1 3】

本発明の実施の形態にかかる光半導体装置の具体例を表す断面図である。

【図 1 4】

本発明の実施の形態にかかる光半導体装置の第 2 の具体例を表す断面図である。

【図 1 5】

本発明の実施の形態にかかる光半導体装置の第 3 の具体例を表す断面図である。

【図 1 6】

複数の整流素子を直列接続した回路を表す模式図である。

【図 1 7】

n 個のツェナーダイオード 1 を使用した直列クランプ回路の具体例を表す模式図である。

【図 1 8】

( a ) は、ツェナーダイオード 1 の断面構造を表す模式図であり、( b ) は、その等価回路図である。図 1 9 は、図 1 6 に表した回路に寄生素子を追加した模式図である。

【図 1 9】

図 1 6 に表した回路に寄生素子を追加した模式図である。

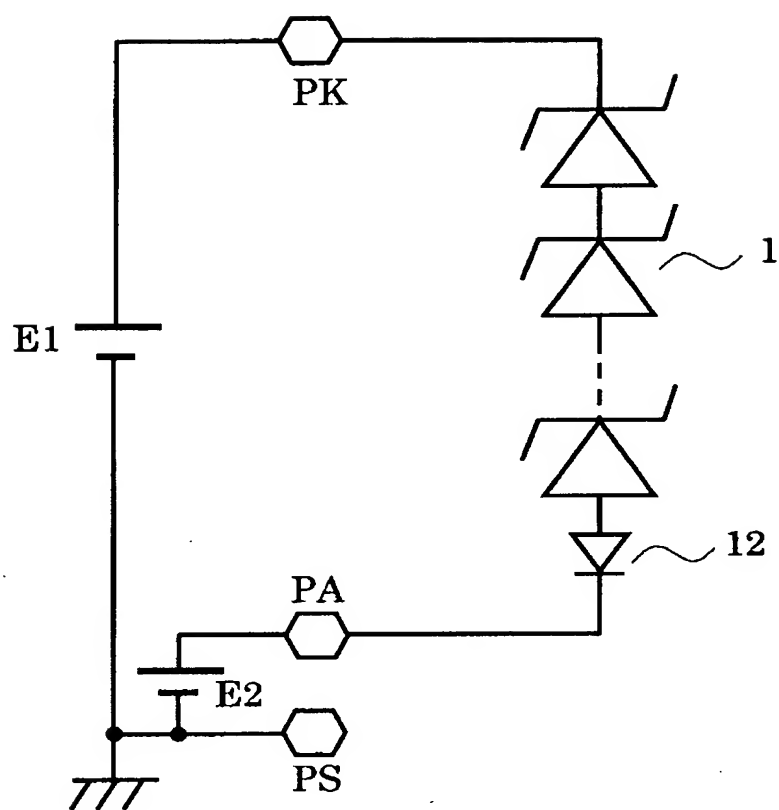
【符号の説明】

- 1 ツェナーダイオード
- 7 n 型アイランド
- 8 p 型拡散層
- 9 p 型分離層
- 1 0 寄生トランジスタ
- 1 1 寄生ダイオード

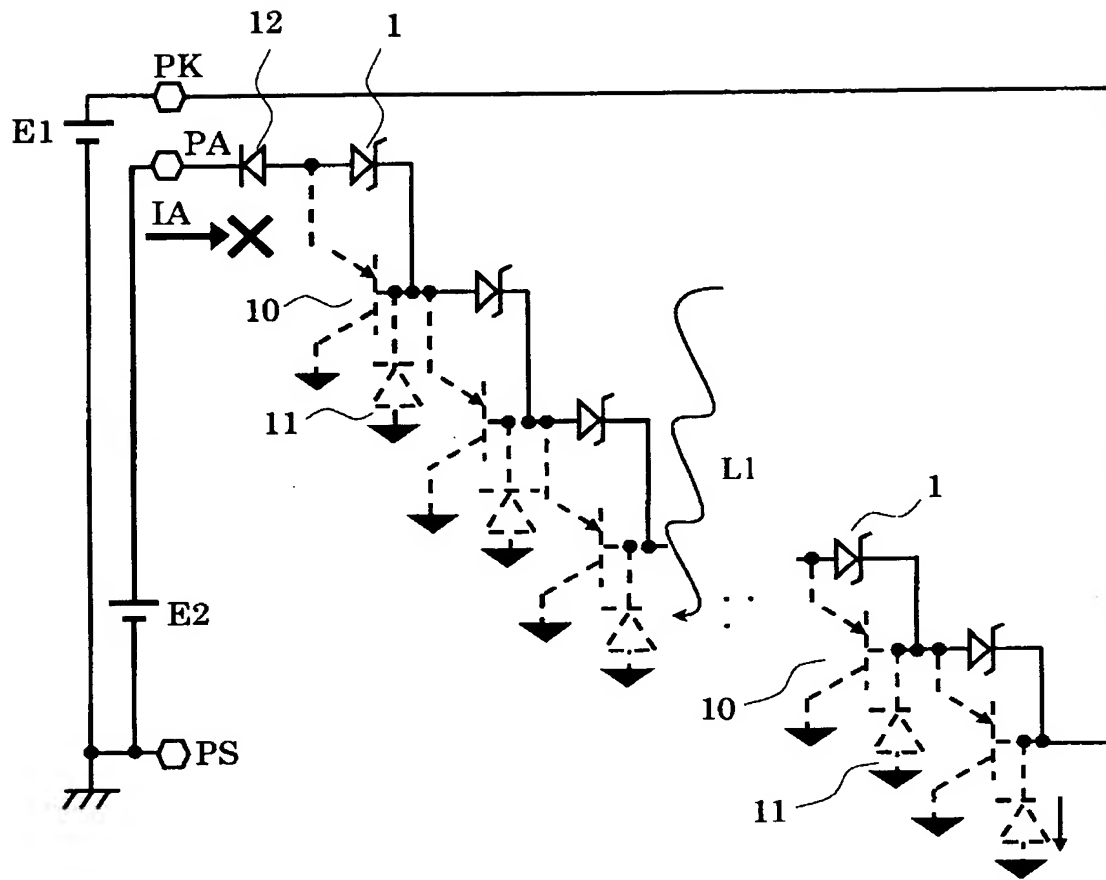
1 2 ダイオード  
1 3 トランジスタ  
2 0 p 型領域  
2 2 p 型シリコン基板  
2 4、2 5 トランジスタ  
3 0 寄生トランジスタ  
3 7 リーク電流  
5 0 トランジスタ  
1 0 0 光半導体装置 (受光部)  
1 1 0 光半導体用回路  
1 2 0 A、1 2 0 B 受光素子  
1 3 0 A、1 3 0 B 発光素子  
2 0 0 光半導体装置 (発光部)  
2 1 0 光半導体用回路  
3 0 0 光ファイバ  
B ベース  
C コレクタ  
E エミッタ  
E R エポキシ樹脂  
I A リーク電流  
I p 光リーク電流  
L 0、L 1 光  
L T リード端子  
L Y 光  
O B 物体  
P A 端子  
P K 端子  
P S 端子

【書類名】 図面

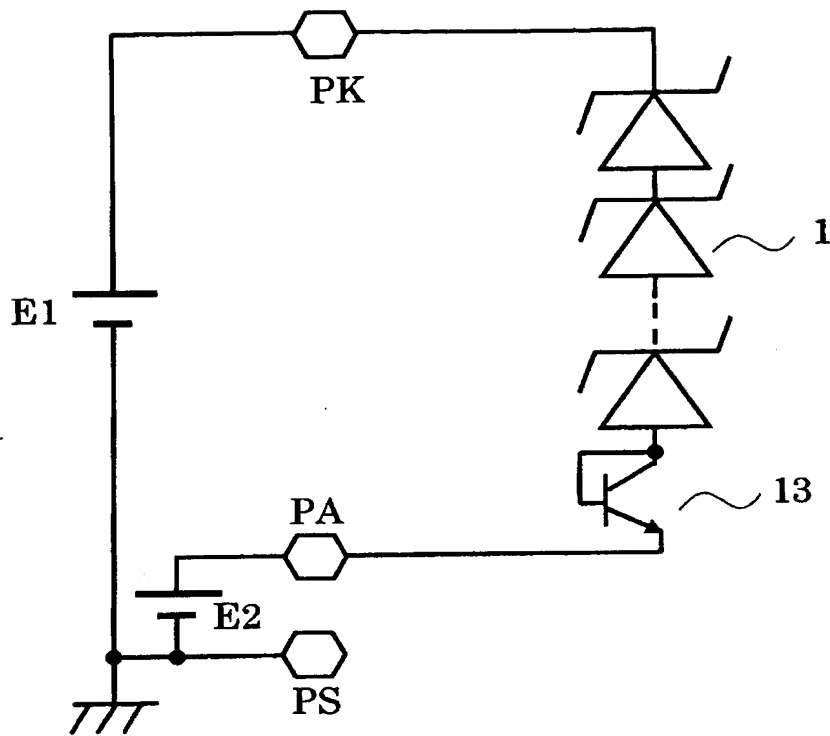
【図 1】



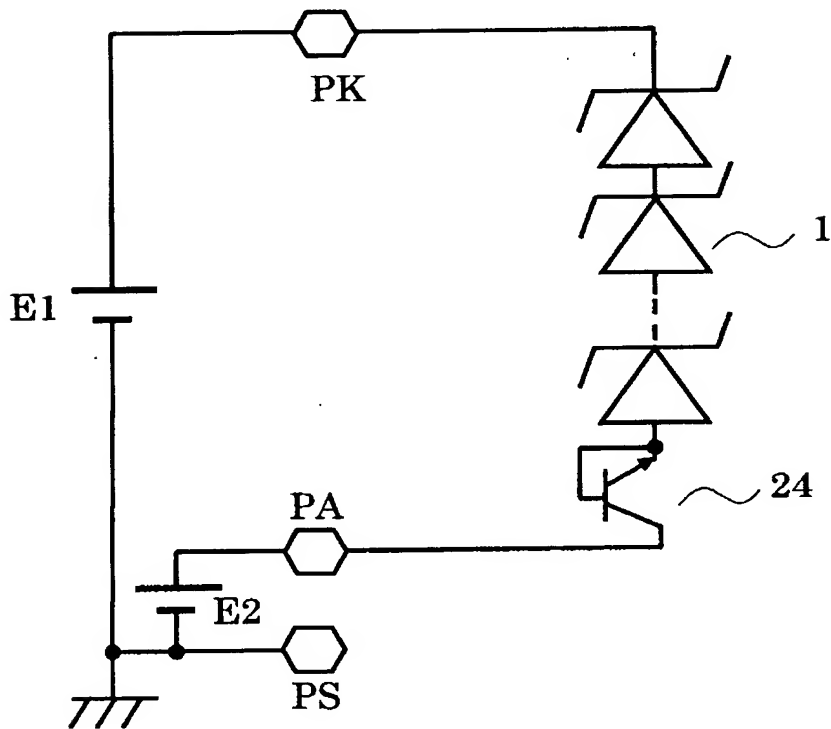
【図2】



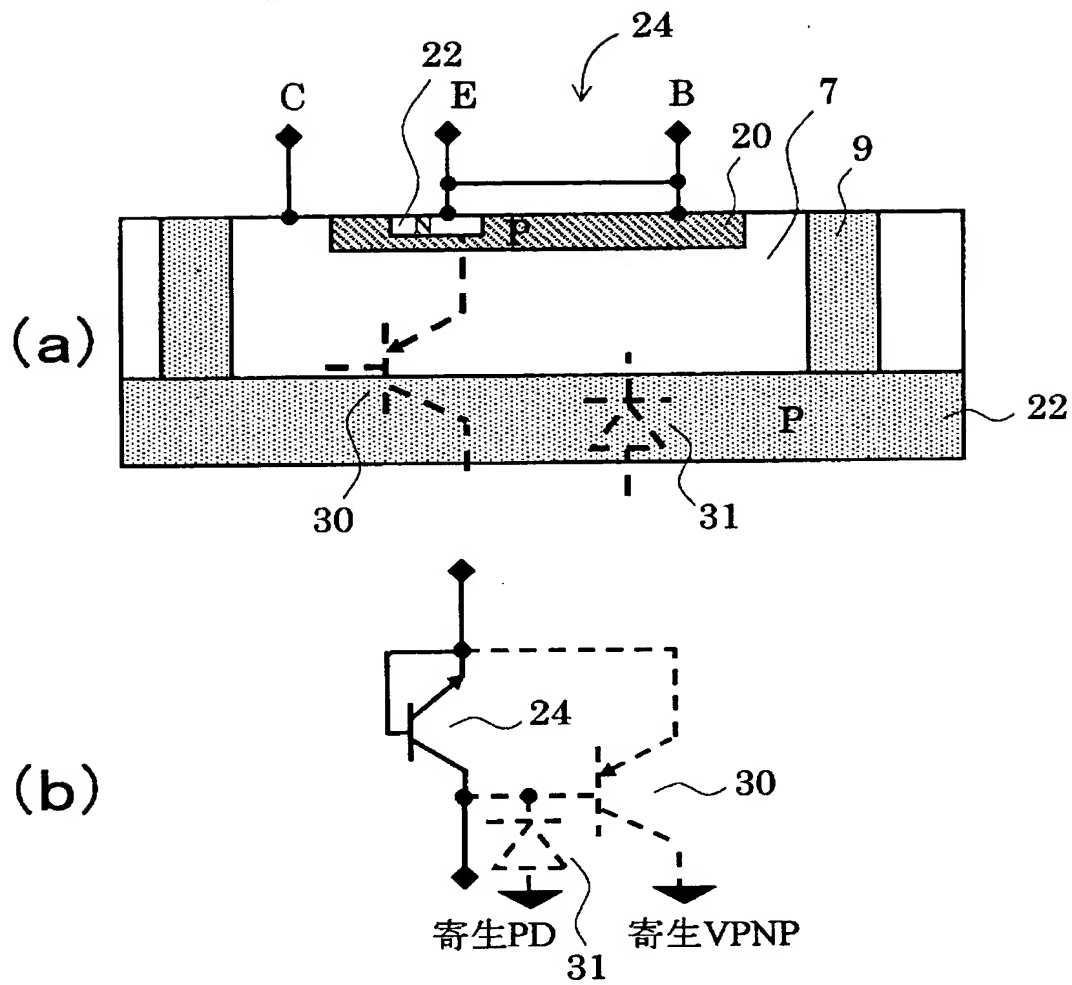
【図 3】



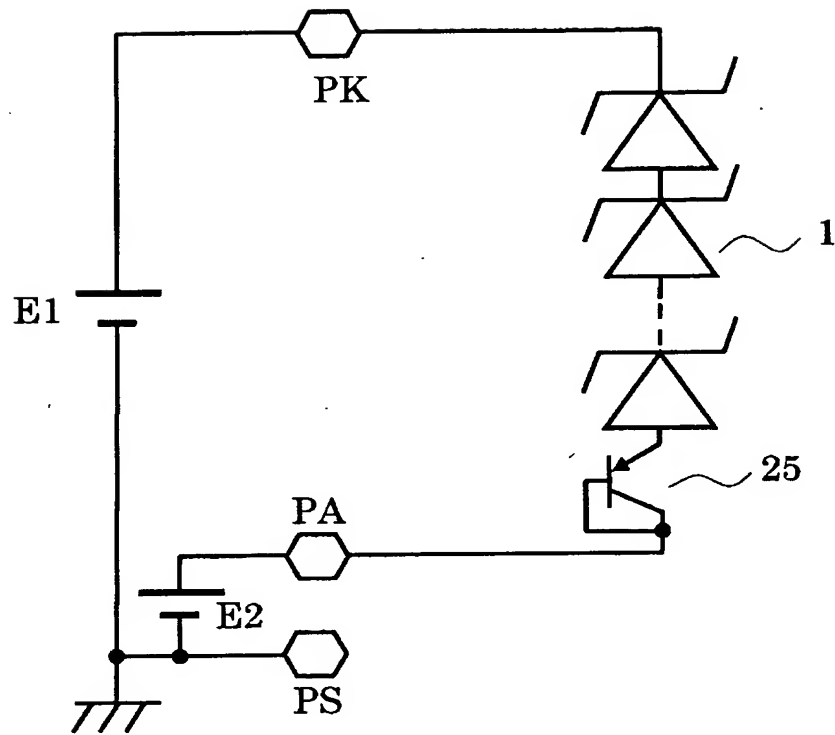
【図 4】



【図 5】



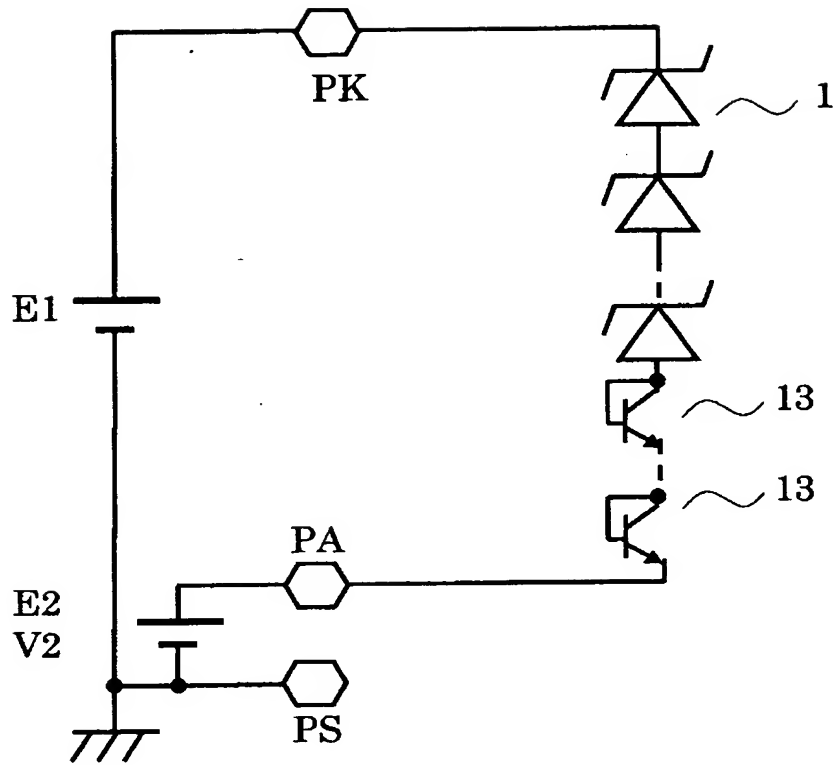
【図 6】



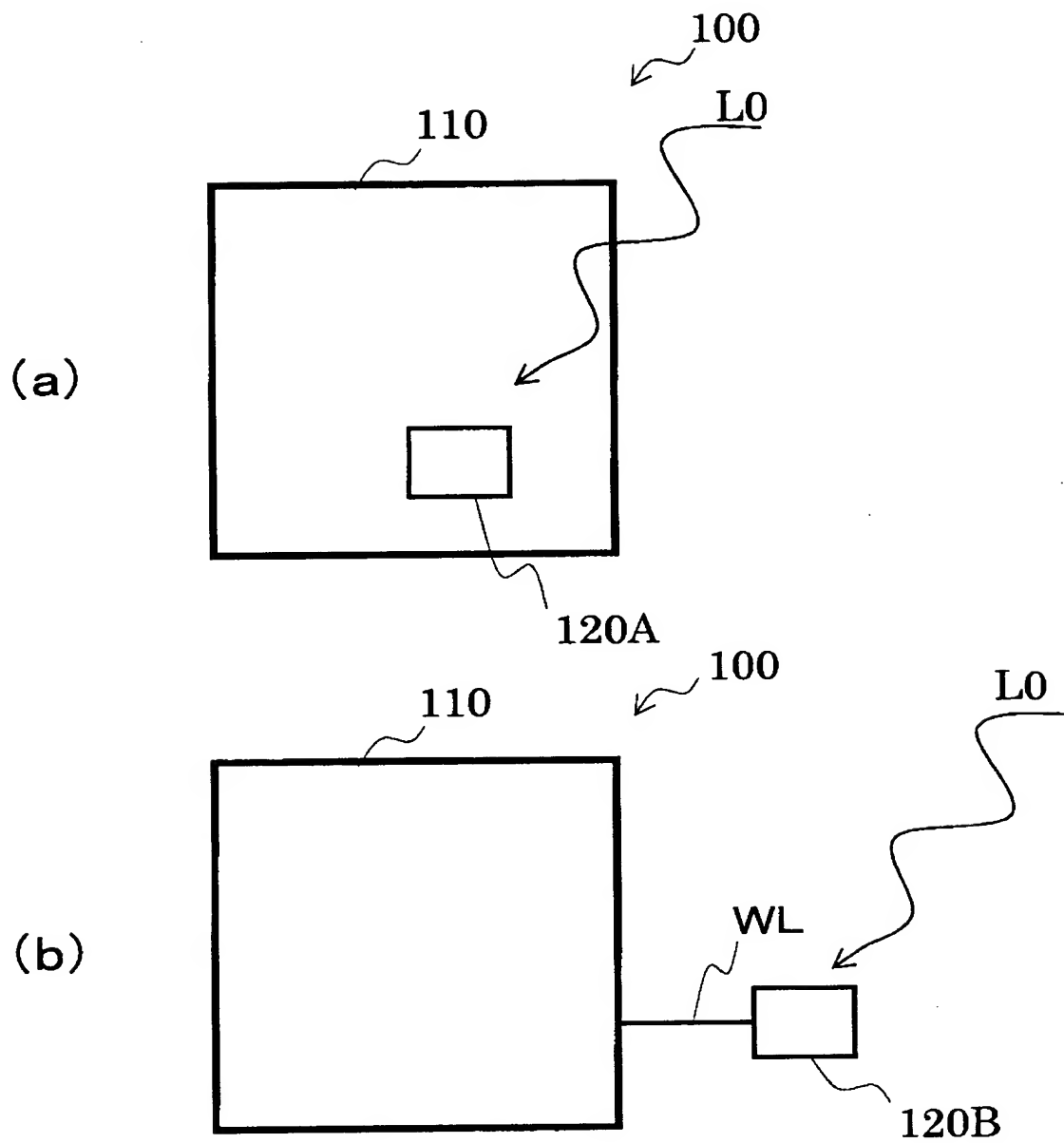




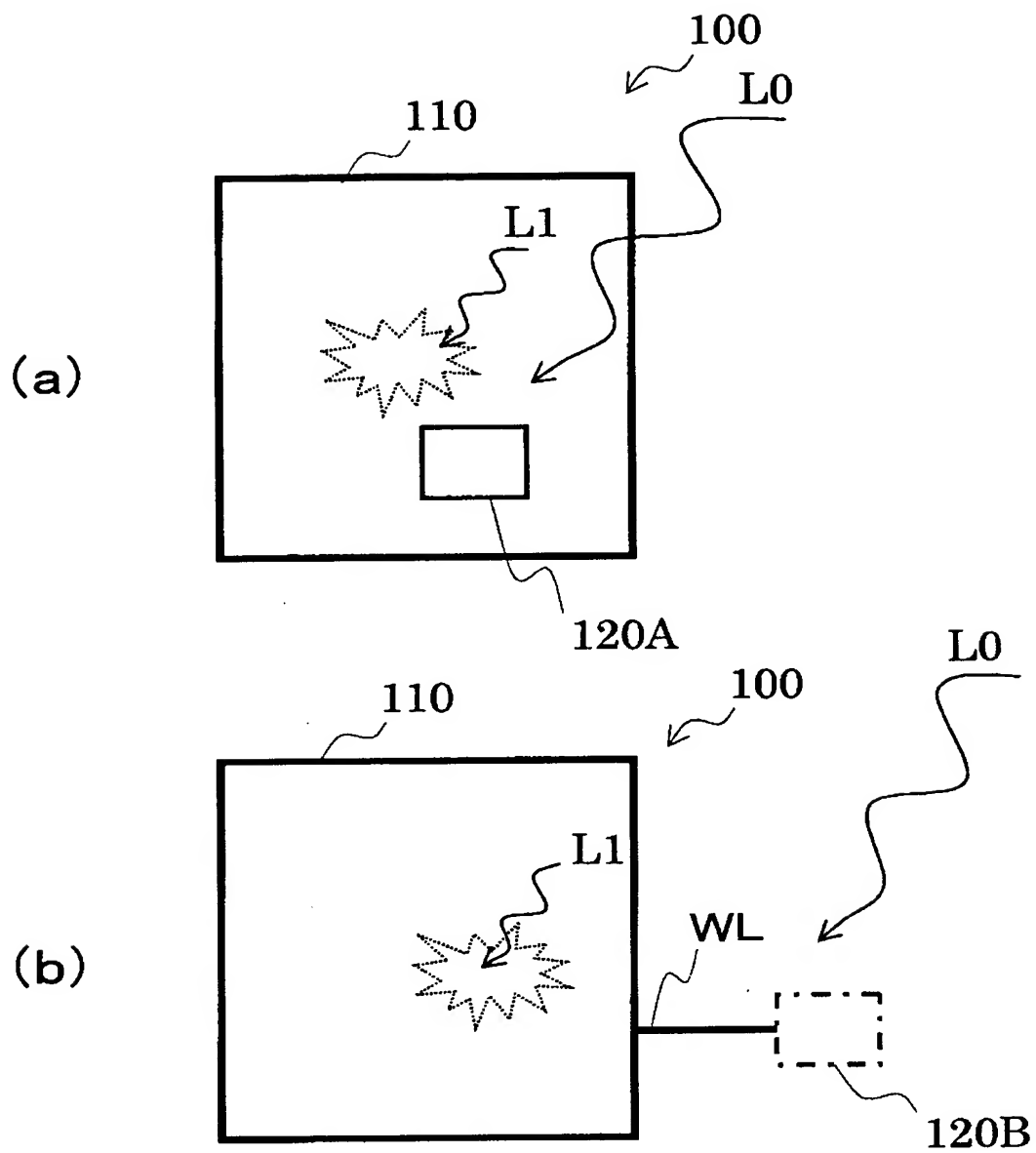
【図 8】



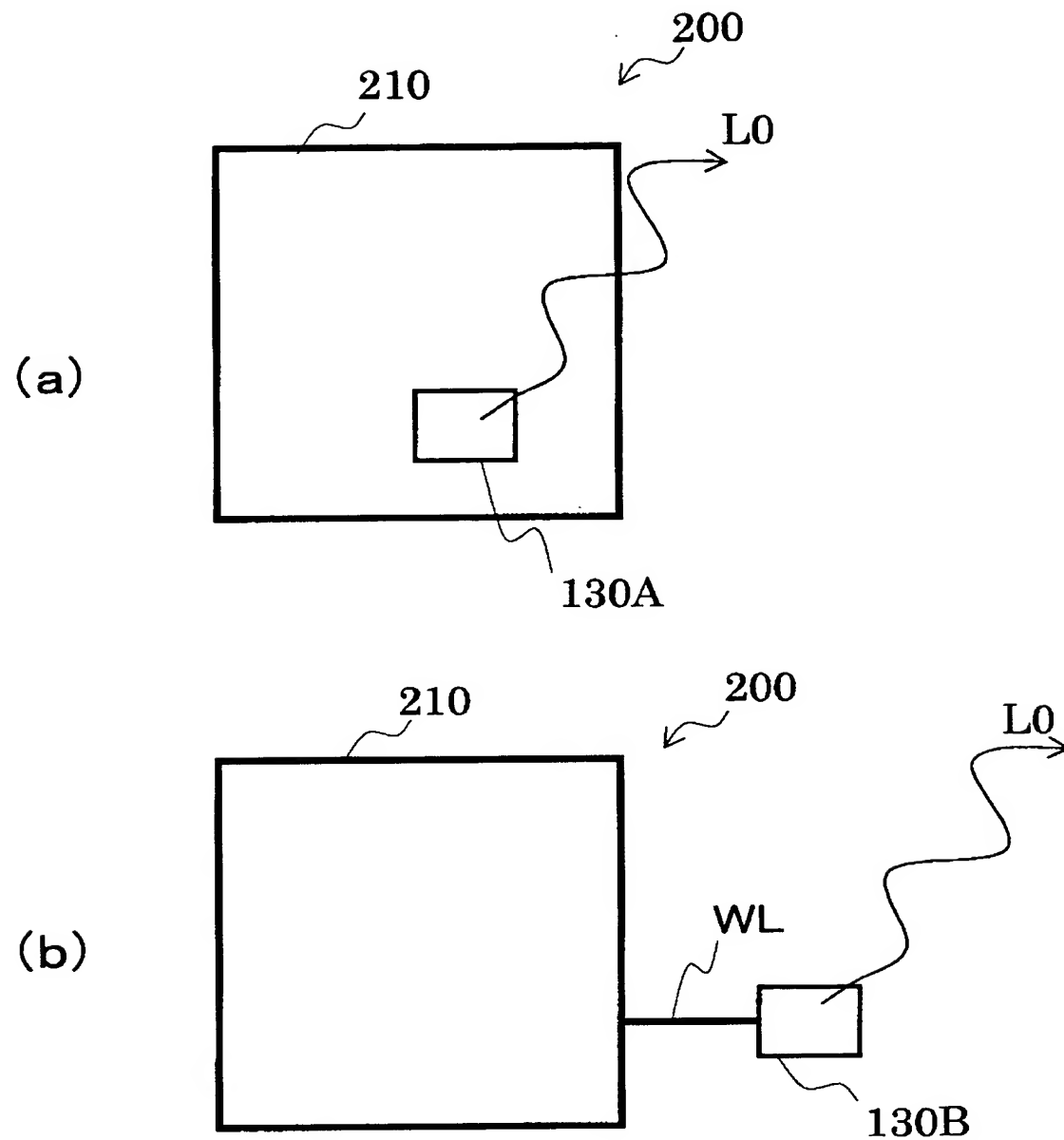
【図9】



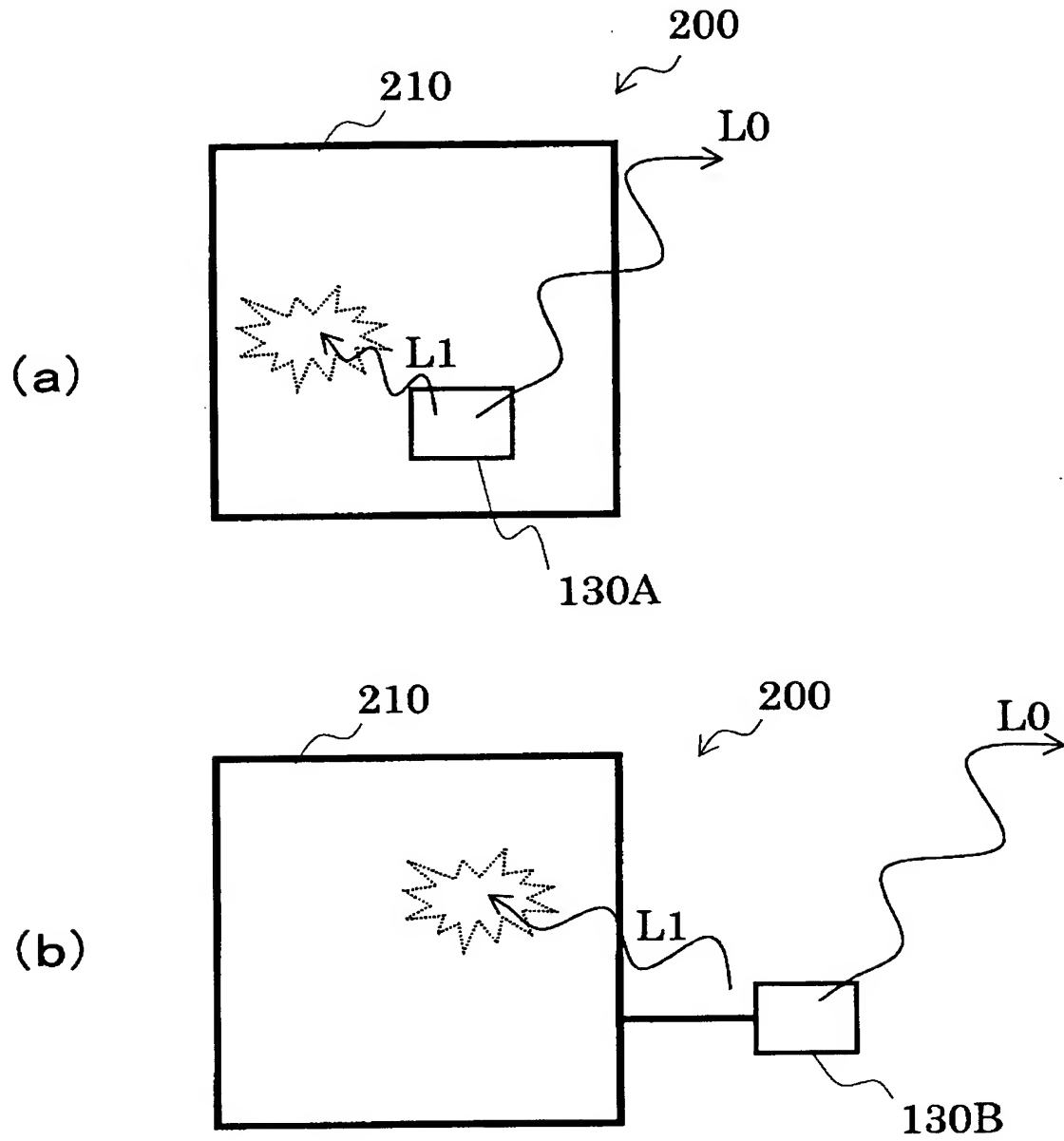
【図10】



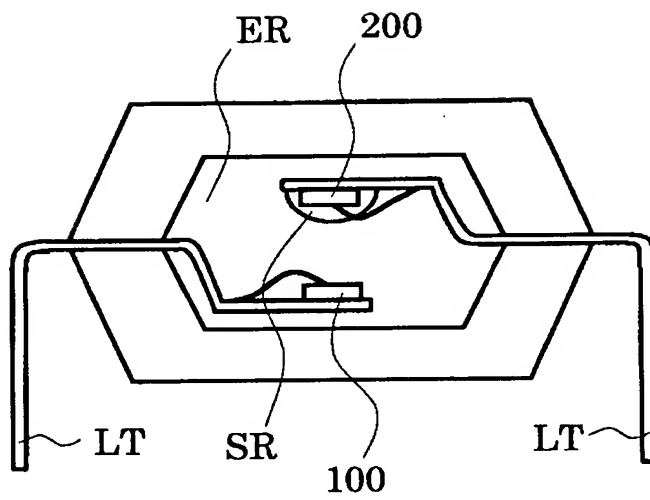
【図 1 1】



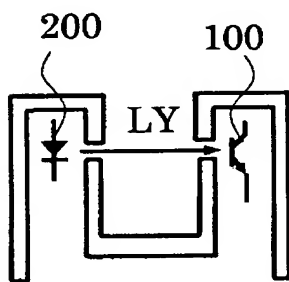
【図 12】



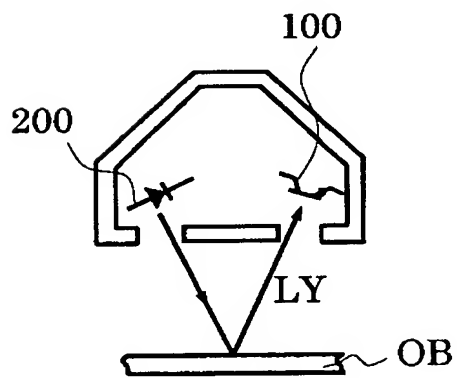
【図 1 3】



【図 1 4】

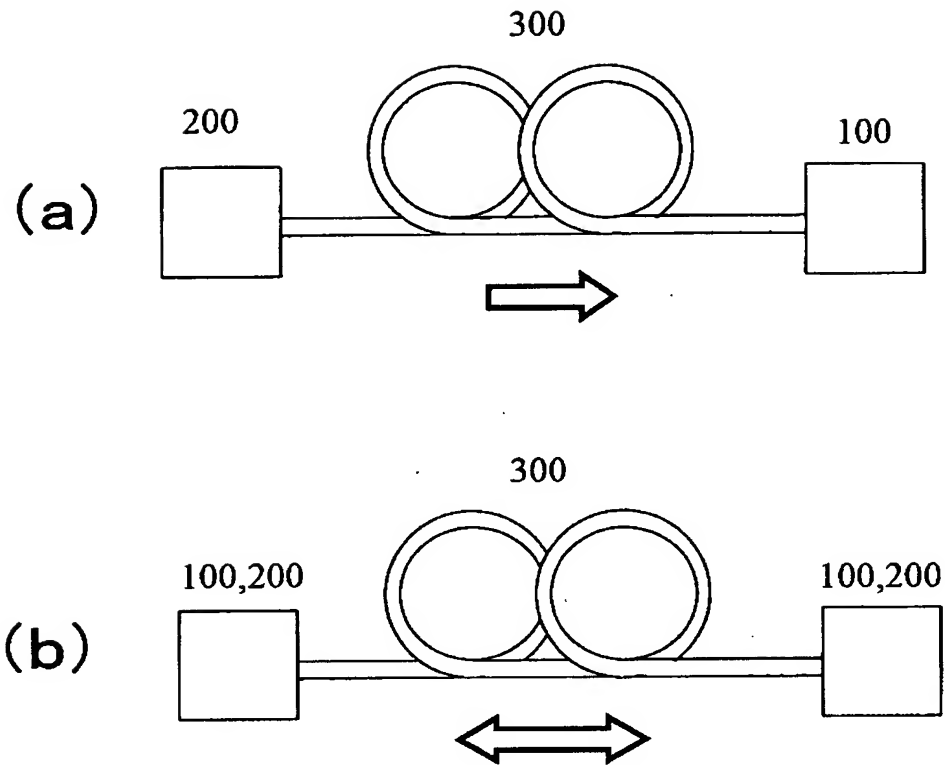


(a)透過型

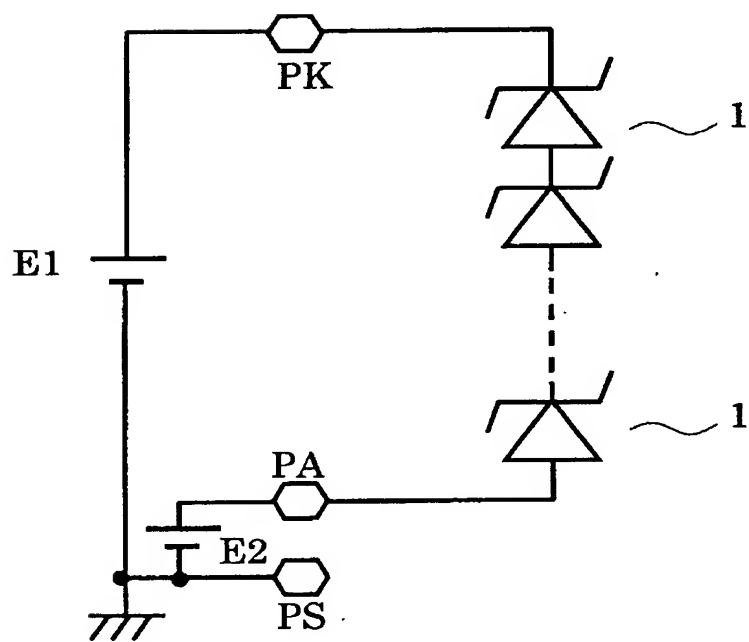


(b)反射型

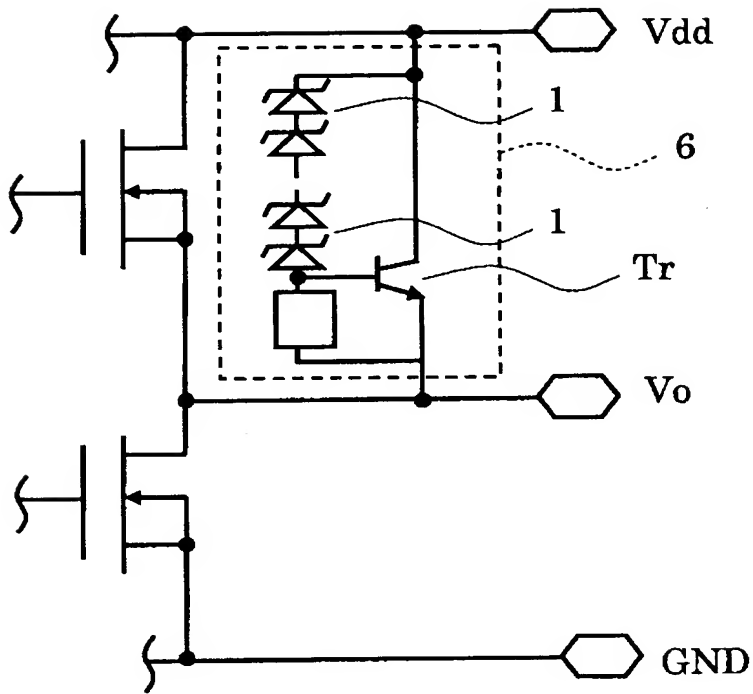
【図 1 5】



【図 1 6】



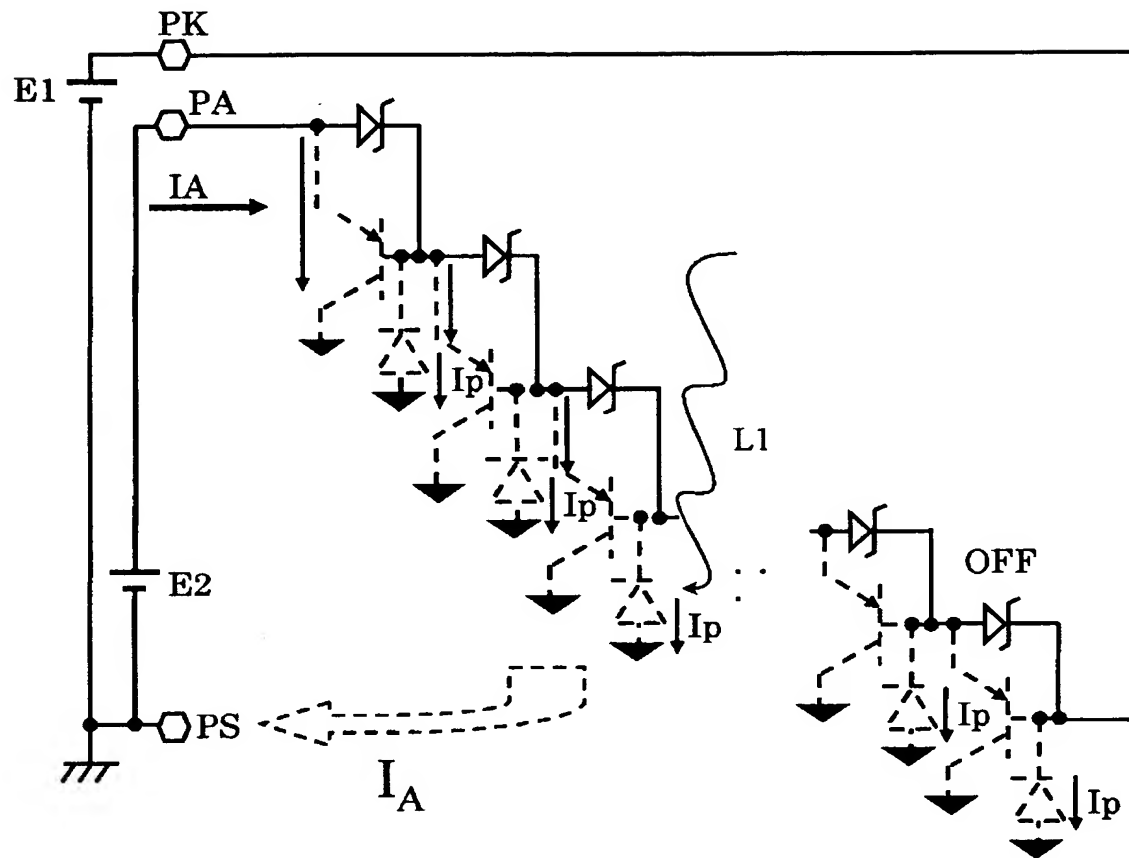
【図 17】







【図 19】



【書類名】 要約書

【要約】

【課題】 光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路及びこの回路を搭載した光半導体装置を提供することを目的とする。

【解決手段】 光半導体素子（120A、120B、130A、130B）と、複数のツェナーダイオード（1）を直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子（12）と、を有し、前記光半導体素子に接続された光半導体用回路（110、210）と、を備えたことを特徴とする光半導体装置（100、200）を提供する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝